

PCT/JPC3/11559

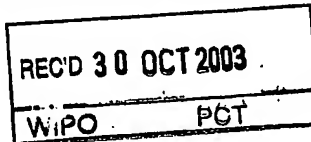
日本国特許庁
JAPAN PATENT OFFICE

10.09.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年 9月26日
Date of Application:



出願番号 特願2002-280806
Application Number:
[ST. 10/C]: [JP 2002-280806]

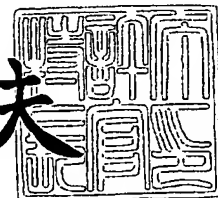
出願人 シャープ株式会社
Applicant(s):

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年10月20日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 183191

【提出日】 平成14年 9月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

G11C 7/00

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株
式会社内

【氏名】 矢追 善史

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株
式会社内

【氏名】 岩田 浩

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株
式会社内

【氏名】 柴田 晃秀

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株
式会社内

【氏名】 那脇 勝

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株
式会社内

【氏名】 徳井 圭

【特許出願人】

【識別番号】 000005049
【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100062144
【弁理士】
【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405
【弁理士】
【氏名又は名称】 河宮 治

【選任した代理人】

【識別番号】 100084146
【弁理士】
【氏名又は名称】 山崎 宏

【手数料の表示】

【予納台帳番号】 013262
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【包括委任状番号】 0208766

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置および携帯電子機器

【特許請求の範囲】

【請求項 1】 ゲート電極と、上記ゲート電極下のゲート絶縁膜と、上記ゲート絶縁膜下のチャネル領域と、上記ゲート電極の両側に形成されたメモリ機能膜と、上記チャネル領域の両側に夫々配置されたソース／ドレイン領域とを有するメモリ素子をメモリセルとして用いたメモリセルアレイを備えた半導体記憶装置であって、

上記メモリセルアレイに外部から供給される入力電圧が入力端子に印加され、出力端子が上記メモリセルアレイの入力端子に接続された第 1 のスイッチと、

上記入力電圧が入力端子に印加された第 2 のスイッチと、

上記第 2 のスイッチの出力端子にポンプ入力端子が接続されたチャージポンプと、

上記チャージポンプのポンプ出力端子に入力端子が接続され、出力端子が上記メモリセルアレイの入力端子に接続された第 3 のスイッチと、

上記入力電圧が所定電圧以下か否かを判定する入力電圧判定回路と、

上記入力電圧判定回路が上記入力電圧が上記所定電圧を越えたと判定すると、上記第 1 のスイッチをオンして上記第 2 および第 3 のスイッチをオフする一方、上記入力電圧判定回路が上記入力電圧が上記所定電圧以下であると判定すると、上記第 1 のスイッチをオフして上記第 2 および第 3 のスイッチをオンする制御回路とを備えたことを特徴とする半導体記憶装置。

【請求項 2】 請求項 1 に記載の半導体記憶装置において、

上記第 1、第 2 および第 3 のスイッチ夫々は、

ソースが入力端子を形成する第 1 の P チャネル電界効果トランジスタと、

上記第 1 の P チャネル電界効果トランジスタのドレインにドレインが接続され、ソースが出力端子を形成する第 2 の P チャネル電界効果トランジスタと、

上記制御回路からの制御信号に応じて、上記第 1 の P チャネル電界効果トランジスタのゲートをソースまたは接地のいずれか一方に選択的に接続する第 1 の電圧レベルシフタと、

上記制御回路からの制御信号に応じて、上記第2のPチャネル電界効果トランジスタのゲートをソースまたは接地のいずれか一方に選択的に接続する第2の電圧レベルシフタとを有することを特徴とする半導体記憶装置。

【請求項3】 請求項1に記載の半導体記憶装置において、

上記所定電圧は+3V～+12Vの範囲内の電圧であることを特徴とする半導体記憶装置。

【請求項4】 請求項1乃至3のいずれか1つに記載の半導体記憶装置において、

上記第1のスイッチの出力端子に入力端子が接続され、その入力端子に入力された電圧の極性を反転させて上記メモリセルアレイに出力する電圧極性反転回路を備えたことを特徴とする半導体記憶装置。

【請求項5】 ゲート電極と、上記ゲート電極下のゲート絶縁膜と、上記ゲート絶縁膜下のチャネル領域と、上記ゲート電極の両側に形成されたメモリ機能膜と、上記チャネル領域の両側に夫々配置されたソース/ドレイン領域とを有するメモリ素子をメモリセルとして用いたメモリセルアレイを備えた半導体記憶装置であって、

上記メモリセルアレイに外部から供給される負極性の入力電圧が入力端子に印加され、出力端子が上記メモリセルアレイの入力端子に接続された第1のスイッチと、

上記負極性の入力電圧が入力端子に印加された第2のスイッチと、

上記第2のスイッチの出力端子にポンプ入力端子が接続されたチャージポンプと、

上記チャージポンプのポンプ出力端子に出力端子が接続され、出力端子が上記メモリセルアレイの入力端子に接続された第3のスイッチと、

上記入力電圧が所定電圧以上か否かを判定する入力電圧判定回路と、

上記入力電圧判定回路が上記入力電圧が所定電圧未満であると判定すると、上記第1のスイッチをオンして上記第2および第3のスイッチをオフする一方、上記入力電圧判定回路が上記入力電圧が上記所定電圧以上であると判定すると、上記第1のスイッチをオフして上記第2および第3のスイッチをオンする制御回路

とを備えたことを特徴とする半導体記憶装置。

【請求項 6】 請求項 5 に記載の半導体記憶装置において、
上記第 1, 第 2 および第 3 のスイッチ夫々は、
ソースが入力端子を形成する第 1 の N チャネル電界効果トランジスタと、
上記第 1 の N チャネル電界効果トランジスタのドレインにドレインが接続され、
ソースが出力端子を形成する第 2 の N チャネル電界効果トランジスタと、
上記制御回路からの制御信号に応じて、上記第 1 の N チャネル電界効果トランジスタのゲートをソースまたは接地のいずれか一方に選択的に接続する第 1 の電圧レベルシフトと、
上記制御回路からの制御信号に応じて、上記第 2 の N チャネル電界効果トランジスタのゲートをソースまたは接地のいずれか一方に選択的に接続する第 2 の電圧レベルシフトとを有することを特徴とする半導体記憶装置。

【請求項 7】 請求項 5 に記載の半導体記憶装置において、
上記所定電圧は $-3\text{ V} \sim -12\text{ V}$ の範囲内の電圧であることを特徴とする半導体記憶装置。

【請求項 8】 ゲート電極と、上記ゲート電極下のゲート絶縁膜と、上記ゲート絶縁膜下のチャネル領域と、上記ゲート電極の両側に形成されたメモリ機能膜と、上記チャネル領域の両側に夫々配置されたソース／ドレイン領域とを有するメモリ素子をメモリセルとして用いたメモリセルアレイを備えた半導体記憶装置であって、

上記メモリセルアレイに外部から供給される正極性の入力電圧が入力端子に印加され、出力端子が上記メモリセルアレイの入力端子に接続された第 1 のスイッチと、

上記正極性の入力電圧が入力端子に印加された第 2 のスイッチと、
上記第 2 のスイッチの出力端子にポンプ入力端子が接続された第 1 のチャージポンプと、

上記第 1 のチャージポンプのポンプ出力端子に入力端子が接続され、出力端子が上記メモリセルアレイの入力端子に接続された第 3 のスイッチと、

上記正極性の入力電圧が第 1 の所定電圧以下か否かを判定する第 1 の入力電圧

判定回路と、

上記第1の入力電圧判定回路が上記正極性の入力電圧が上記第1の所定電圧を越えたと判定すると、上記第1のスイッチをオンして上記第2および第3のスイッチをオフする一方、上記第1の入力電圧判定回路が上記正極性の入力電圧が上記第1の所定電圧以下であると判定すると、上記第1のスイッチをオフして上記第2および第3のスイッチをオンする第1の制御回路と、

上記メモリセルアレイに外部から供給される負極性の入力電圧が入力端子に印加され、出力端子が上記メモリセルアレイの入力端子に接続された第4のスイッチと、

上記負極性の入力電圧が入力端子に印加された第5のスイッチと、

上記第5のスイッチの出力端子にポンプ入力端子が接続された第2のチャージポンプと、

上記第2のチャージポンプのポンプ出力端子に入力端子が接続され、出力端子が上記メモリセルアレイの入力端子に接続された第6のスイッチと、

上記負極性の入力電圧が第2の所定電圧以上か否かを判定する第2の入力電圧判定回路と、

上記第2の入力電圧判定回路が上記負極性の入力電圧が上記第2の所定電圧未満であると判定すると、上記第4のスイッチをオンして上記第5および第6のスイッチをオフする一方、上記第2の入力電圧判定回路が上記負極性の入力電圧が上記第2の所定電圧以上であると判定すると、上記第4のスイッチをオフして上記第5および第6のスイッチをオンする第2の制御回路とを備えたことを特徴とする半導体記憶装置。

【請求項9】 請求項8に記載の半導体記憶装置において、

上記第1,第2および第3のスイッチ夫々は、

ソースが入力端子を形成する第1のPチャネル電界効果トランジスタと、

上記第1のPチャネル電界効果トランジスタのドレインにドレインが接続され、ソースが出力端子を形成する第2のPチャネル電界効果トランジスタと、

上記第1の制御回路からの制御信号に応じて、上記第1のPチャネル電界効果トランジスタのゲートをソースまたは接地のいずれか一方に選択的に接続する第

1 の電圧レベルシフトと、

上記第 1 の制御回路からの制御信号に応じて、上記第 2 の P チャネル電界効果トランジスタのゲートをソースまたは接地のいずれか一方に選択的に接続する第 2 の電圧レベルシフトとを有すると共に、

上記第 4、第 5 および第 6 のスイッチ夫々は、

ソースが入力端子を形成する第 1 の N チャネル電界効果トランジスタと、

上記第 1 の N チャネル電界効果トランジスタのドレインにドレインが接続され、ソースが出力端子を形成する第 2 の N チャネル電界効果トランジスタと、

上記第 2 の制御回路からの制御信号に応じて、上記第 1 の N チャネル電界効果トランジスタのゲートをソースまたは接地のいずれか一方に選択的に接続する第 3 の電圧レベルシフトと、

上記第 2 の制御回路からの制御信号に応じて、上記第 2 の N チャネル電界効果トランジスタのゲートをソースまたは接地のいずれか一方に選択的に接続する第 4 の電圧レベルシフトとを有することを特徴とする半導体記憶装置。

【請求項 10】 請求項 8 に記載の半導体記憶装置において、

上記第 1 の所定電圧は +3 V ~ +12 V の範囲内の電圧であり、

上記第 2 の所定電圧は -3 V ~ -12 V の範囲内の電圧であることを特徴とする半導体記憶装置。

【請求項 11】 メモリセルアレイと、

上記メモリセルアレイに外部から供給される負極性の入力電圧が入力端子に印加され、出力端子が上記メモリセルアレイの入力端子に接続された第 1 のスイッチと、

上記負極性の入力電圧が入力端子に印加された第 2 のスイッチと、

上記第 2 のスイッチの出力端子にポンプ入力端子が接続されたチャージポンプと、

上記チャージポンプのポンプ出力端子に入力端子が接続され、出力端子が上記メモリセルアレイの入力端子に接続された第 3 のスイッチと、

上記入力電圧が所定電圧以上か否かを判定する入力電圧判定回路と、

上記入力電圧判定回路が上記入力電圧が所定電圧未満であると判定すると、上

記第 1 のスイッチをオンして上記第 2 および第 3 のスイッチをオフする一方、上記入力電圧判定回路が上記入力電圧が上記所定電圧以上であると判定すると、上記第 1 のスイッチをオフして上記第 2 および第 3 のスイッチをオンする制御回路とを備えたことを特徴とする半導体記憶装置。

【請求項 12】 メモリセルアレイと、

上記メモリセルアレイに外部から供給される正極性の入力電圧が入力端子に印加され、出力端子が上記メモリセルアレイの入力端子に接続された第 1 のスイッチと、

上記正極性の入力電圧が入力端子に印加された第 2 のスイッチと、

上記第 2 のスイッチの出力端子にポンプ入力端子が接続された第 1 のチャージポンプと、

上記第 1 のチャージポンプのポンプ出力端子に入力端子が接続され、出力端子が上記メモリセルアレイの入力端子に接続された第 3 のスイッチと、

上記正極性の入力電圧が所定電圧以下か否かを判定する第 1 の入力電圧判定回路と、

上記第 1 の入力電圧判定回路が上記正極性の入力電圧が第 1 の所定電圧を越えたと判定すると、上記第 1 のスイッチをオンして上記第 2 および第 3 のスイッチをオフする一方、上記第 1 の入力電圧判定回路が上記正極性の入力電圧が上記第 1 の所定電圧以下であると判定すると、上記第 1 のスイッチをオフして上記第 2 および第 3 のスイッチをオンする第 1 の制御回路と、

上記メモリセルアレイに外部から供給される負極性の入力電圧が入力端子に印加され、出力端子が上記メモリセルアレイの入力端子に接続された第 4 のスイッチと、

上記負極性の入力電圧が入力端子に印加された第 5 のスイッチと、

上記第 5 のスイッチの出力端子にポンプ入力端子が接続された第 2 のチャージポンプと、

上記第 2 のチャージポンプのポンプ出力端子に入力端子が接続され、出力端子が上記メモリセルアレイの入力端子に接続された第 6 のスイッチと、

上記負極性の入力電圧が所定電圧以上か否かを判定する第 2 の入力電圧判定回

路と、

上記第2の入力電圧判定回路が上記負極性の入力電圧が第2の所定電圧未満であると判定すると、上記第4のスイッチをオンして上記第5および第6のスイッチをオフする一方、上記第2の入力電圧判定回路が上記負極性の入力電圧が上記第2の所定電圧以上であると判定すると、上記第4のスイッチをオフして上記第5および第6のスイッチをオンする第2の制御回路とを備えたことを特徴とする半導体記憶装置。

【請求項13】 請求項1, 5, 8のいずれか1つに記載の半導体記憶装置を備えたことを特徴とする携帯電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置および携帯電子機器に関し、より詳しくは、メモリ機能を有する電界効果トランジスタをメモリセルとして用いたメモリセルアレイを備えた半導体記憶装置およびその半導体記憶装置を用いた携帯電子機器に関する。

【0002】

【従来の技術】

従来、1個の電界効果トランジスタで2ビットの記憶が可能な不揮発性メモリとして、サイファン・セミコンダクターズ・リミテッド社が開示したメモリ素子がある(例えば、特許文献1参照)。

【0003】

このメモリ素子は、図9に示すように、1個の電界効果トランジスタからなり、P型ウェル領域901、第1のN型拡散領域902、第2のN型拡散領域903、ゲート電極909およびゲート絶縁膜を有している。上記ゲート絶縁膜は、シリコン酸化膜904, 905の間にシリコン窒化膜906が挟まれた構造を有している。このような構造を持つ絶縁膜は、ONO(Oxide Nitride Oxide)膜と呼ばれている。上記シリコン窒化膜906中には、N型拡散領域902, 903の端付近に夫々記憶保持部分907, 908がある。この記憶保持部分907, 9

08に電荷を保持することにより、夫々1ビットの情報を記憶させることができる。

【0004】

このように、1個のトランジスタに記憶保持部分907, 908が2箇所あるため、夫々の個所での電荷の多寡をトランジスタのドレイン電流として読み出すことにより、1トランジスタで2ビットの記憶が可能となっている。

【0005】

【特許文献1】

特開2001-156189号公報

【0006】

【発明が解決しようとする課題】

しかしながら、上記メモリ素子には、ゲート絶縁膜(メモリ膜)が厚く素子の微細化が困難であるという問題がある。また、上記メモリ素子のゲート絶縁膜は、3層構造であるONO膜からなるため、薄膜化は困難である。したがって、ゲート絶縁膜の厚さに関するスケーリングが困難であり、短チャネル効果の増大を招くことにより素子の微細化を阻害していた。また、上記メモリ素子では、チャネル長が短くなるにつれて、1個のトランジスタの記憶保持部分907, 908の2箇所を分離することが困難となり、微細化するにつれて、1つのトランジスタで1ビットの記憶しかできなくなるため、メモリ素子の微細化を阻害していた。

【0007】

このため、上記メモリ素子をメモリセルとして用いたメモリセルアレイを備えた半導体記憶装置では、回路面積をさらに小さくして確実な動作をさせるということができないという問題がある。

【0008】

また、上記メモリ素子をメモリセルとしてメモリセルアレイに用いた半導体記憶装置では、外部から入力電圧を直接供給した場合、電流を十分に供給することは可能であるが、入力電圧のゆらぎが大きく、所望の電圧以下となる場合がある。そのため、正確な電圧をメモリセルアレイに供給するためには、チャージポンプが必要となる。しかしながら、上記チャージポンプ経由では、電流不足になり

がちとなり、安定した動作ができず、信頼性が低下するという問題がある。

【0009】

そこで、この発明の目的は、微細化しても2ビット以上の記憶保持ができ、かつ、小さい回路面積で安定した動作ができる半導体記憶装置を提供することにある。

【0010】

また、この発明のもう1つの目的は、メモリセルアレイに供給する電流が小さいことに起因する回路誤動作を防止できる半導体記憶装置を提供することにある。

【0011】

さらに、この発明のもう1つの目的は、上記半導体記憶装置を用いて小型化と性能向上および製造コストの削減が可能な携帯電子機器を提供することにある。

【0012】

【課題を解決するための手段】

上記目的を達成するため、第1の発明の半導体記憶装置は、ゲート電極と、上記ゲート電極下のゲート絶縁膜と、上記ゲート絶縁膜下のチャネル領域と、上記ゲート電極の両側に形成されたメモリ機能膜と、上記チャネル領域の両側に夫々配置されたソース/ドレイン領域とを有するメモリ素子をメモリセルとして用いたメモリセルアレイを備え、そのメモリセルアレイに外部から供給される入力電圧が入力端子に印加され、出力端子がメモリセルアレイの入力端子に接続された第1のスイッチと、上記入力電圧が入力端子に印加された第2のスイッチと、その第2のスイッチの出力端子にポンプ入力端子が接続されたチャージポンプと、上記チャージポンプのポンプ出力端子に出力端子が接続され、出力端子がメモリセルアレイの入力端子に接続された第3のスイッチと、上記入力電圧が所定電圧以下か否かを判定する入力電圧判定回路と、上記入力電圧判定回路の判定結果に基づいて、上記第1, 第2および第3のスイッチをオンオフ制御する制御回路とを備える。上記制御回路は、入力電圧判定回路が入力電圧が所定電圧を越えたと判定すると、第1のスイッチをオンして第2および第3のスイッチをオフする一方、入力電圧判定回路が入力電圧が所定電圧以下であると判定すると、第1のス

スイッチをオフして第2および第3のスイッチをオンする。

【0013】

ここで、メモリ機能膜とは、電子または正孔を注入、抜取りが可能な機能を有する膜である。上記構成の半導体記憶装置によれば、メモリ機能膜の電荷量の変化を電流量に変換することにより電界効果トランジスタをメモリ素子として動作させる。そして、上記入力電圧判定回路が上記入力電圧が所定電圧を越えたと判定すると、上記制御回路が第1のスイッチをオンして上記第2および第3のスイッチをオフすることによって、入力電圧を第1のスイッチを介してメモリセルアレイに供給する。一方、上記入力電圧判定回路が上記入力電圧が上記所定電圧以下であると判定すると、上記制御回路が第1のスイッチをオフして上記第2および第3のスイッチをオンすることによって、上記チャージポンプからの電圧を第3のスイッチを介してメモリセルアレイに供給する。したがって、上記メモリ素子を用いることによって微細化しても2ビットの記憶保持が可能で、かつ、メモリセルアレイに十分な電流供給ができ、回路誤動作を防止できる半導体記憶装置を実現できる。

【0014】

また、一実施形態の半導体記憶装置は、上記第1, 第2および第3のスイッチ夫々は、ソースが入力端子を形成する第1のPチャネル電界効果トランジスタと、上記第1のPチャネル電界効果トランジスタのドレインにドレインが接続され、ソースが出力端子を形成する第2のPチャネル電界効果トランジスタと、上記制御回路からの制御信号に応じて、第1のPチャネル電界効果トランジスタのゲートをソースまたは接地のいずれか一方に選択的に接続する第1の電圧レベルシフタと、上記制御回路からの制御信号に応じて、第2のPチャネル電界効果トランジスタのゲートをソースまたは接地のいずれか一方に選択的に接続する第2の電圧レベルシフタとを有することを特徴とする。

【0015】

上記実施形態の半導体記憶装置によれば、上記第1, 第2および第3のスイッチが、小さい回路面積で実現可能であり、かつ、正確な回路動作を行うことができる。

【0016】

また、一実施形態の半導体記憶装置は、上記所定電圧が+3V～+12Vの範囲内の電圧であることを特徴とする。

【0017】

上記実施形態の半導体記憶装置によれば、上記メモリセルアレイを構成するメモリセルとしてのメモリ素子に適切な電圧でかつ十分な電流の供給が可能となる。

【0018】

また、一実施形態の半導体記憶装置は、上記第1のスイッチの出力端子に入力端子が接続され、その入力端子に入力された電圧の極性を反転させて上記メモリセルアレイに出力する電圧極性反転回路を備えたことを特徴とする。

【0019】

上記実施形態の半導体記憶装置によれば、上記メモリセルとしてのメモリ素子の消去動作時にゲート電極に負電圧を供給するとき、大きな電流の供給が必要ない場合、電圧極性反転回路にて正電圧を負電圧に変換し、ドレイン電極に正電圧、ゲート電極に負電極を印加することによって、小さい回路面積で効率的かつ確実な消去動作が可能となる。

【0020】

また、第2の発明の半導体記憶装置は、ゲート電極と、上記ゲート電極下のゲート絶縁膜と、上記ゲート絶縁膜下のチャネル領域と、上記ゲート電極の両側に形成されたメモリ機能膜と、上記チャネル領域の両側に夫々配置されたソース／ドレイン領域とを有するメモリ素子をメモリセルとして用いたメモリセルアレイを備え、そのメモリセルアレイに外部から供給される負極性の入力電圧が入力端子に印加され、出力端子がメモリセルアレイの入力端子に接続された第1のスイッチと、上記負極性の入力電圧が入力端子に印加された第2のスイッチと、その第2のスイッチの出力端子にポンプ入力端子が接続されたチャージポンプと、上記チャージポンプのポンプ出力端子に入力端子が接続され、出力端子がメモリセルアレイの入力端子に接続された第3のスイッチと、上記入力電圧が所定電圧以上か否かを判定する入力電圧判定回路と、上記入力電圧判定回路の判定結果に基

づいて、第1,第2および第3のスイッチをオンオフ制御する制御回路とを備える。上記制御回路は、入力電圧判定回路が入力電圧が所定電圧未満であると判定すると、第1のスイッチをオンして第2および第3のスイッチをオフする一方、入力電圧判定回路が入力電圧が所定電圧以上であると判定すると、第1のスイッチをオフして第2および第3のスイッチをオンする。

【0021】

上記構成の半導体記憶装置によれば、上記第1の発明の半導体記憶装置と同様な回路構成により同様の作用、効果を有し、メモリセルアレイに負電圧を供給する場合、十分な電流供給が可能となる。

【0022】

また、一実施形態の半導体記憶装置は、上記第1,第2および第3のスイッチ夫々は、ソースが入力端子を形成する第1のNチャネル電界効果トランジスタと、上記第1のNチャネル電界効果トランジスタのドレインにドレインが接続され、ソースが出力端子を形成する第2のNチャネル電界効果トランジスタと、上記制御回路からの制御信号に応じて、第1のNチャネル電界効果トランジスタのゲートをソースまたは接地のいずれか一方に選択的に接続する第1の電圧レベルシフタと、上記制御回路からの制御信号に応じて、第2のNチャネル電界効果トランジスタのゲートをソースまたは接地のいずれか一方に選択的に接続する第2の電圧レベルシフタとを有することを特徴とする。

【0023】

上記実施形態の半導体記憶装置によれば、上記第1,第2および第3のスイッチが、小さな回路面積で実現可能であり、かつ、正確な回路動作を行うことができる。

【0024】

また、一実施形態の半導体記憶装置は、上記所定電圧が $-3\text{ V} \sim -12\text{ V}$ の範囲内の電圧であることを特徴とする。

【0025】

上記実施形態の半導体記憶装置によれば、上記メモリセルアレイを構成するメモリセルとしてのメモリ素子に適切な負電圧でかつ十分な電流の供給が可能とな

る。

【0026】

また、第3の発明の半導体記憶装置は、ゲート電極と、上記ゲート電極下のゲート絶縁膜と、上記ゲート絶縁膜下のチャネル領域と、上記ゲート電極の両側に形成されたメモリ機能膜と、上記チャネル領域の両側に夫々配置されたソース／ドレイン領域とを有するメモリ素子をメモリセルとして用いたメモリセルアレイを備え、そのメモリセルアレイに外部から供給される正極性の入力電圧が入力端子に印加され、出力端子がメモリセルアレイの入力端子に接続された第1のスイッチと、上記正極性の入力電圧が入力端子に印加された第2のスイッチと、その第2のスイッチの出力端子にポンプ入力端子が接続された第1のチャージポンプと、上記第1のチャージポンプのポンプ出力端子に入力端子が接続され、出力端子がメモリセルアレイの入力端子に接続された第3のスイッチと、上記正極性の入力電圧が第1の所定電圧以下か否かを判定する第1の入力電圧判定回路と、上記第1の入力電圧判定回路が上記正極性の入力電圧が第1の所定電圧を越えたと判定すると、第1のスイッチをオンして第2および第3のスイッチをオフする一方、上記第1の入力電圧判定回路が上記正極性の入力電圧が第1の所定電圧以下であると判定すると、第1のスイッチをオフして第2および第3のスイッチをオンする第1の制御回路とを備える。さらに、上記メモリセルアレイに外部から供給される負極性の入力電圧が入力端子に印加され、出力端子がメモリセルアレイの入力端子に接続された第4のスイッチと、上記負極性の入力電圧が入力端子に印加された第5のスイッチと、その第5のスイッチの出力端子にポンプ入力端子が接続された第2のチャージポンプと、上記第2のチャージポンプのポンプ出力端子に入力端子が接続され、出力端子がメモリセルアレイの入力端子に接続された第6のスイッチと、上記負極性の入力電圧が第2の所定電圧以上か否かを判定する第2の入力電圧判定回路と、上記第2の入力電圧判定回路が上記負極性の入力電圧が第2の所定電圧未満であると判定すると、第4のスイッチをオンして第5および第6のスイッチをオフする一方、第2の入力電圧判定回路が上記負極性の入力電圧が第2の所定電圧以上であると判定すると、第4のスイッチをオフして第5および第6のスイッチをオンする第2の制御回路とを備える。

【0027】

上記構成の半導体記憶装置によれば、上記第1の発明の半導体記憶装置と同様な回路構成により同様の作用、効果を有し、メモリセルアレイに正電圧および負電圧を供給する場合、十分な電流供給が可能となる。

【0028】

また、一実施形態の半導体記憶装置は、上記第1、第2および第3のスイッチ夫々は、ソースが入力端子を形成する第1のPチャネル電界効果トランジスタと、その第1のPチャネル電界効果トランジスタのドレインにドレインが接続され、ソースが出力端子を形成する第2のPチャネル電界効果トランジスタと、上記第1の制御回路からの制御信号に応じて、第1のPチャネル電界効果トランジスタのゲートをソースまたは接地のいずれか一方に選択的に接続する第1の電圧レベルシフトと、上記第1の制御回路からの制御信号に応じて、第2のPチャネル電界効果トランジスタのゲートをソースまたは接地のいずれか一方に選択的に接続する第2の電圧レベルシフトとを有する。また、上記第4、第5および第6のスイッチ夫々は、ソースが入力端子を形成する第1のNチャネル電界効果トランジスタと、その第1のNチャネル電界効果トランジスタのドレインにドレインが接続され、ソースが出力端子を形成する第2のNチャネル電界効果トランジスタと、上記第2の制御回路からの制御信号に応じて、第1のNチャネル電界効果トランジスタのゲートをソースまたは接地のいずれか一方に選択的に接続する第3の電圧レベルシフトと、上記第2の制御回路からの制御信号に応じて、第2のNチャネル電界効果トランジスタのゲートをソースまたは接地のいずれか一方に選択的に接続する第4の電圧レベルシフトとを有する。

【0029】

上記実施形態の半導体記憶装置によれば、上記第1～第6のスイッチが、小さな回路面積で実現可能であり、かつ、正確な回路動作を行うことができる。

【0030】

また、一実施形態の半導体記憶装置は、上記第1の所定電圧が $+3\text{V} \sim +12\text{V}$ の範囲内の電圧であり、上記第2の所定電圧が $-3\text{V} \sim -12\text{V}$ の範囲内の電圧であることを特徴とする。

【0031】

上記実施形態の半導体記憶装置によれば、正負両方の電圧ともに適切な電圧でかつ十分な電流の供給が可能となる。

【0032】

また、第4の発明の半導体記憶装置は、メモリセルアレイと、そのメモリセルアレイに外部から供給される負極性の入力電圧が入力端子に印加され、出力端子がメモリセルアレイの入力端子に接続された第1のスイッチと、上記負極性の入力電圧が入力端子に印加された第2のスイッチと、その第2のスイッチの出力端子にポンプ入力端子が接続されたチャージポンプと、上記チャージポンプのポンプ出力端子に入力端子が接続され、出力端子がメモリセルアレイの入力端子に接続された第3のスイッチと、上記入力電圧が所定電圧以上か否かを判定する入力電圧判定回路と、上記入力電圧判定回路の判定結果に基づいて、第1,第2および第3のスイッチをオンオフ制御する制御回路とを備える。上記制御回路は、入力電圧判定回路が入力電圧が所定電圧未満であると判定すると、第1のスイッチをオンして第2および第3のスイッチをオフする一方、入力電圧判定回路が入力電圧が所定電圧以上であると判定すると、第1のスイッチをオフして第2および第3のスイッチをオンする。

【0033】

上記構成の半導体記憶装置によれば、上記入力電圧判定回路が上記負極性の入力電圧が所定電圧未満であると判定すると、上記制御回路が第1のスイッチをオンして上記第2および第3のスイッチをオフすることによって、負極性の入力電圧を第1のスイッチを介してメモリセルアレイに供給する。一方、上記入力電圧判定回路が上記入力電圧が所定電圧以上であると判定すると、上記制御回路が第1のスイッチをオフして第2および第3のスイッチをオンすることによって、上記チャージポンプからの負電圧を第3のスイッチを介してメモリセルアレイに供給する。したがって、上記メモリセルアレイに負電圧を供給する場合、メモリセルアレイに十分な電流供給ができ、回路誤動作を防止できる半導体記憶装置を実現できる。

【0034】

また、第5の発明の半導体記憶装置は、メモリセルアレイと、そのメモリセルアレイに外部から供給される正極性の入力電圧が入力端子に印加され、出力端子がメモリセルアレイの入力端子に接続された第1のスイッチと、上記正極性の入力電圧が入力端子に印加された第2のスイッチと、その第2のスイッチの出力端子にポンプ入力端子が接続された第1のチャージポンプと、上記第1のチャージポンプのポンプ出力端子に入力端子が接続され、出力端子がメモリセルアレイの入力端子に接続された第3のスイッチと、上記正極性の入力電圧が第1の所定電圧以下か否かを判定する第1の入力電圧判定回路と、上記第1の入力電圧判定回路が上記正極性の入力電圧が第1の所定電圧を越えたと判定すると、第1のスイッチをオンして第2および第3のスイッチをオフする一方、上記第1の入力電圧判定回路が上記正極性の入力電圧が第1の所定電圧以下であると判定すると、第1のスイッチをオフして第2および第3のスイッチをオンする第1の制御回路とを備える。また、上記メモリセルアレイに外部から供給される負極性の入力電圧が入力端子に印加され、出力端子がメモリセルアレイの入力端子に接続された第4のスイッチと、上記負極性の入力電圧が入力端子に印加された第5のスイッチと、第5のスイッチの出力端子にポンプ入力端子が接続された第2のチャージポンプと、第2のチャージポンプのポンプ出力端子に入力端子が接続され、出力端子がメモリセルアレイの入力端子に接続された第6のスイッチと、上記負極性の入力電圧が第2の所定電圧以上か否かを判定する第2の入力電圧判定回路と、上記第2の入力電圧判定回路が上記負極性の入力電圧が第2の所定電圧未満であると判定すると、第4のスイッチをオンして第5および第6のスイッチをオフする一方、上記第2の入力電圧判定回路が上記負極性の入力電圧が第2の所定電圧以上であると判定すると、第4のスイッチをオフして第5および第6のスイッチをオンする第2の制御回路とを備える。

【0035】

上記構成の半導体記憶装置によれば、上記第1の入力電圧判定回路が上記正極性の入力電圧が第1の所定電圧を越えたと判定すると、上記第1の制御回路が第1のスイッチをオンして第2および第3のスイッチをオフすることによって、正極性の入力電圧を第1のスイッチを介してメモリセルアレイに供給する。一方、上

記第1の入力電圧判定回路が上記正極性の入力電圧が第1の所定電圧以下であると判定すると、上記第1の制御回路が第1のスイッチをオフして第2および第3のスイッチをオンすることによって、第1のチャージポンプからの正電圧を第3のスイッチを介してメモリセルアレイに供給する。また、上記第2の入力電圧判定回路が上記負極性の入力電圧が第2の所定電圧未満であると判定すると、上記第2の制御回路が第4のスイッチをオンして第5および第6のスイッチをオフすることによって、負極性の入力電圧を第4のスイッチを介してメモリセルアレイに供給する。一方、上記第2の入力電圧判定回路が上記負極性の入力電圧が第2の所定電圧以上であると判定すると、上記第2の制御回路が第4のスイッチをオフして第5および第6のスイッチをオンすることによって、上記第2のチャージポンプからの負電圧を第6のスイッチを介してメモリセルアレイに供給する。したがって、上記メモリセルアレイに正電圧および負電圧を供給する場合、メモリセルアレイに十分な電流供給ができ、回路誤動作を防止できる半導体記憶装置を実現できる。

【0036】

また、第6の発明の携帯電子機器は、上記第1～第3の発明のうちのいずれか1つの半導体記憶装置を備えたことを特徴とする。

【0037】

上記構成の携帯電子機器によれば、1トランジスタ当り2ビットの記憶が可能で、かつ、微細化が容易な半導体記憶装置を備えており、メモリ素子をメモリセルとして用いたメモリセルアレイへの書き込み動作、消去動作のとき、十分な電流を有する適切な電圧を供給することが可能である。したがって、誤動作なく携帯電子機器の信頼性を向上できると共に、小型化により製造コストを削減することが可能になる。

【0038】

【発明の実施の形態】

以下、この発明の半導体記憶装置および携帯電子機器を図示の実施の形態により詳細に説明する。

【0039】

[第1実施形態]

図1はこの発明の第1実施形態の半導体記憶装置のメモリセルアレイのメモリセルとして用いられるメモリ素子の製造方法を説明するための要部の概略断面工程図である。

【0040】

図1に示すメモリ素子は、2ビットの記憶が可能な不揮発性メモリセルとして用いられ、半導体基板1上に、ゲート絶縁膜2を介して通常のトランジスタと同程度のゲート長さを有するゲート電極3を形成しており、ゲート絶縁膜2およびゲート電極3の側壁に、サイドウォールスペーサ形状のメモリ機能膜4を形成している。また、上記メモリ機能膜4のゲート電極3と反対の側に、ソース/ドレイン領域5を形成し、このソース/ドレイン領域5をゲート電極3端部に対して(ゲート電極3が形成された領域6から)オフセットさせている。

【0041】

このように、上記メモリ素子のメモリ機能膜4は、ゲート絶縁膜2とは独立して形成されている。したがって、メモリ機能膜4が担うメモリ機能と、ゲート絶縁膜2が担うトランジスタ動作機能とは分離されている。また、メモリ機能膜としてメモリ機能に適した材料膜を選択して形成することができる。

【0042】

また、ソース/ドレイン領域5がゲート電極3からオフセットされていることにより、ゲート電極3に電圧を印加したときのメモリ機能膜4下のオフセット領域の反転しやすさを、メモリ機能膜4に蓄積された電荷量によって大きく変化させることができ、メモリ効果を増大させることが可能となる。さらに、通常のロジックトランジスタと比較して、短チャネル効果を極力防止することができ、より一層のゲート長の微細化を図ることができる。また、構造的に短チャネル効果抑制に適しているため、ロジックトランジスタと比較して膜厚の厚いゲート絶縁膜を採用することができ、信頼性を向上させることができる。

【0043】

このメモリ素子は、通常の論理回路に用いられるロジックトランジスタと同様の工程を経て、形成することができる。まず、図1(a)に示すように、半導体基

板1上に、膜厚1～6 nm程度のシリコン酸化膜からなるゲート絶縁膜2を形成し、次に、膜厚50～400 nm程度のポリシリコンと高融点金属シリサイドの積層膜(またはそのポリシリコンと金属との積層膜)からなるゲート電極材料膜を形成し、所望の形状にパターニングすることによりゲート電極3を形成する。

【0044】

なお、ゲート絶縁膜およびゲート電極の材料は、スケーリング則に沿ったロジックプロセスにおいて使われる材料を用いればよく、上記材料に限定されるものではない。

【0045】

続いて、ゲート絶縁膜2とは完全に分離して、図1(b)に示すように、得られた半導体基板1上全面に、膜厚20～100 nm程度のシリコン酸化膜からなる膜を形成し、異方性エッチングによりエッチバックすることにより、記憶に最適なメモリ機能膜4を、ゲート電極3の側壁にサイドウォールスペーサ形状に形成する。なお、シリコン酸化膜の代わりに、膜厚2～20 nm程度のシリコン酸化物膜と膜厚2～100 nm程度のシリコン窒化膜を順次堆積し、異方性エッチングによりエッチバックして記憶に最適なメモリ機能膜4を、ゲート電極3の側壁にサイドウォールスペーサ形状に形成することがより好ましい。

【0046】

その後、図1(c)に示すように、ゲート電極3およびメモリ機能膜4をマスクとしてイオン注入することにより、半導体基板1のメモリ機能膜4のゲート電極3と反対側のそれぞれにソース/ドレイン領域5を形成する。すなわち、上記ゲート電極3の下側の半導体基板1の領域6と、メモリ機能膜4の下側かつ領域6側の半導体基板1の領域とでチャネル領域を形成し、そのチャネル領域の外側の半導体基板1の領域にソース/ドレイン領域5を形成している。

【0047】

このように、ゲート電極3およびメモリ機能膜4とを分離して配置することにより、通常のトランジスタと同じ製造工程で、同じ程度の短チャネル効果を有するメモリセルを形成できる。

【0048】

上記構成のメモリ素子は、EEPROM(電氣的消去書込み可能な読出し専用メモリ)として機能させることができる。従来、EEPROMは、コントロールゲート線に接続された選択トランジスタと、ワード線に接続されたメモリトランジスタとの2つのトランジスタによりメモリセルが構成されていたのに対して、上記構成のメモリ素子は、2つのメモリ機能膜による可変抵抗効果によって、1つのゲート電極(つまり1本のワード線)で、選択トランジスタとメモリトランジスタの両方の機能を備えたメモリセルを構成できる。すなわち、ソース領域とドレイン領域との間かつチャネル領域両端において、ゲート電極両側のメモリ機能膜下に配置された可変抵抗がチャネル領域と接続されているとみなすことができる。

【0049】

これにより、1つのメモリセルを選択するために、ゲート電極と接続されているワード線またはゲート電極そのものの機能を有するワード線を1本選択するのみでよい。また、2つのトランジスタを形成する必要がなく、さらなる集積化が可能となる。換言すれば、ゲート電極つまりコントロールゲート線やワード線の本数が増えてセル面積が小さくならない従来のメモリセルに対して、1つのメモリセルに対してワード線1本で動作させることができる。例えば、ワード線を最小加工寸法(最小の配線幅と最小の配線間隔)で形成し、メモリセル領域内に敷き詰めるとすると、1つのメモリセルを構成する上で、1本のワード線で済む場合は、ワード線が n 本必要な場合と比べて $1/n$ のセル占有面積に縮小できる効果がある。また、上記構成のメモリ素子をメモリセルとして用いた場合、ワード線1本で1つのメモリセルを構成して、1つのメモリセル当り、2ビットつまり4値の情報を記憶することによって、メモリセルとして、 $1/2$ の占有面積となり、1ビット当り $1/4$ の占有面積まで縮小できる。

【0050】

図2(a)は上記メモリ素子の書き込み時の条件を示す図であり、図2(b)は上記メモリ素子の消去時の条件を示す図であり、図2(c)は上記メモリ素子の読み出し時の条件を示す図である。図2(a)~(c)に示すメモリ素子の記号は、通常の電界効果トランジスタの記号に、メモリ機能膜を象徴するサイドウォール形状を両

側に記載したものである。また、図 10 (a) は従来のフローティングゲートを用いたメモリ素子の書き込み時の条件を示す図であり、図 10 (b) は上記メモリ素子の消去時の条件を示す図であり、図 10 (c) は上記メモリ素子の読み出し時の条件を示す図である。

【0051】

図 2 (a) ~ (c) に示すメモリ素子の方が、図 10 (a) ~ (c) に示す従来のメモリ素子よりも全般的に印加される電圧が低い。図 2 (a) ~ (c) に示すメモリ素子では、消去時ゲート電極に負の電圧を印加する必要がある。

【0052】

図 3 は図 1 に示すメモリ素子をメモリセルとして用いたメモリセルアレイを備えた半導体記憶装置のブロック図を示している。この半導体記憶装置は、図 3 に示すように、メモリセルアレイ 21 と、正極性電源選択回路 22 と、電圧極性反転回路 26 とを備えている。

【0053】

上記正極性電源選択回路 22 は、メモリセルアレイ 21 に外部から供給される入力電圧(正電圧)が入力端子に印加され、出力端子がメモリセルアレイ 21 の入力端子に接続された第 1 のスイッチ SW1 と、上記入力電圧が入力端子に印加された第 2 のスイッチ SW2 と、上記第 2 のスイッチ SW2 の出力端子にポンプ入力端子が接続されたチャージポンプ 23 と、上記チャージポンプ 23 のポンプ出力端子に入力端子が接続され、出力端子がメモリセルアレイ 21 の入力端子に接続された第 3 のスイッチ SW3 と、上記入力電圧が所定電圧以下か否かを判定する入力電圧判定回路 24 と、上記第 1, 第 2, 第 3 のスイッチ SW1, SW2, SW3 をオンオフ制御する制御回路 25 とを備えている。上記所定電圧としては、例えばメモリセルアレイ 21 の動作が保証される動作電圧とする。

【0054】

上記制御回路 25 は、入力電圧判定回路 24 が入力電圧が所定電圧を越えたと判定すると、第 1 のスイッチ SW1 をオンして第 2, 第 3 のスイッチ SW2, SW3 をオフすることにより、メモリセルアレイ 21 に第 1 のスイッチ SW1 を介して外部からの入力電圧を供給する。

【0055】

一方、上記制御回路 25 は、入力電圧判定回路 24 が入力電圧が所定電圧以下であると判定すると、第 1 のスイッチ SW1 をオフして第 2, 第 3 のスイッチ SW2, SW3 をオンすることにより、チャージポンプ 23 から電圧レベルが正確な電圧がメモリセルアレイ 21 に供給される。

【0056】

上記第 1 実施形態では、消去時にゲート電極に負電圧を印加するとき、外部から電圧を供給しなくとも消去に十分な電流が供給される場合を想定している。すなわち、この第 1 実施形態では、負電圧を生成するために電圧極性反転回路 26 を用いている。上記第 1 のスイッチ SW1 の出力端子に入力端子が接続された電圧極性反転回路 26 により、その入力端子に入力された電圧の極性を反転させてメモリセルアレイ 21 に出力する。この電圧極性反転回路 26 では、電圧の絶対値は変わらず、極性だけ反転する。

【0057】

例えば、消去時、ソース／ドレイン電極に 6 V および GND がそれぞれ印加されている場合、ゲート電極に -6 V が印加される。図 2 では、消去時のゲート電圧を -5 V としているが、ゲート電極に -6 V を印加する場合、-5 V を印加するよりもゲート／ソース電圧、ゲート／ドレイン電圧ともに大きくなるため、消去動作が確実に行われる。

【0058】

上記第 1 実施形態では、回路を簡略化するため、電圧の絶対値は変わらず、電圧の極性だけを反転する電圧極性判定回路を採用したが、必ずしもこれに限る必要はなく、極性を判定させた電圧の絶対値が変わってもよい。

【0059】

図 4 は上記第 1, 第 2, 第 3 のスイッチ SW1, SW2, SW3 の一例としてのスイッチ回路を示している。

【0060】

このスイッチ回路は、図 4 に示すように、ソースに入力電圧 V_{in} が印加される第 1 の P チャネル電界効果トランジスタ 31 と、上記第 1 の P チャネル電界効果

トランジスタ 31 のドレインにドレインが接続され、ソースが出力端子を形成する第 2 の P チャンネル電界効果トランジスタ 32 と、制御信号に応じて第 1 の P チャンネル電界効果トランジスタ 31 のゲートをソースまたはグランド(接地)のいずれか一方に選択的に接続する第 1 の電圧レベルシフタ 33 と、制御信号に応じて第 2 の P チャンネル電界効果トランジスタ 32 のゲートをソースまたはグランド(接地)のいずれか一方に選択的に接続する第 2 の電圧レベルシフタ 34 とを有している。

【0061】

このスイッチ回路をオンするときは、第 1 の電圧レベルシフタ 33 により第 1 の P チャンネル電界効果トランジスタ 31 のゲートをグランドに接続し、第 2 の電圧レベルシフタ 34 により第 2 の P チャンネル電界効果トランジスタ 32 のゲートをグランドに接続する。一方、このスイッチ回路をオフするときは、第 1 の電圧レベルシフタ 33 により第 1 の P チャンネル電界効果トランジスタ 31 のゲートをソース(入力端)に接続し、第 2 の電圧レベルシフタ 34 により第 2 の P チャンネル電界効果トランジスタ 32 のゲートをソース(出力端)に接続する。

【0062】

なお、この第 1 実施形態では、必ずしも図 4 に示すスイッチ回路を使用することに限るものではなく、他の構成のスイッチ回路を用いてもよい。

【0063】

図 5 は図 3 に示すチャージポンプ 23 の一例を示している。このチャージポンプは、図 5 に示すように、一端に入力電圧 V_{in} が印加されたトランジスタ 41 と、そのトランジスタ 41 のゲートに一端が接続されたトランジスタ 42 と、そのトランジスタ 42 のゲートに一端が接続されたトランジスタ 43 と、上記トランジスタ 41 の他端にゲートが接続され、一端に入力電圧 V_{in} が印加されたトランジスタ 44 と、上記トランジスタ 44 の他端に一端が接続され、ゲートに上記トランジスタ 42 の他端が接続されたトランジスタ 45 と、上記トランジスタ 45 の他端に一端が接続され、ゲートがトランジスタ 43 の他端に接続されたトランジスタ 46 と、上記トランジスタ 46 の他端に一端が接続され、その一端にゲートが接続されたトランジスタ 47 と、上記トランジスタ 44 のゲートに一端が接

続され、他端にクロック信号 $\phi 1$ が印加されたコンデンサ C11と、上記トランジスタ 45 のゲートに一端が接続され、他端にクロック信号 $\phi 2$ が印加されたコンデンサ C12と、上記トランジスタ 46 のゲートに一端が接続され、他端にクロック信号 $\phi 1$ が印加されたコンデンサ C13と、上記トランジスタ 44 の他端に一端が接続され、他端にクロック信号 $\phi 2$ が印加されたコンデンサ C21と、上記トランジスタ 45 の他端に一端が接続され、他端にクロック信号 $\phi 1$ が印加されたコンデンサ C22と、上記トランジスタ 46 の他端に一端が接続され、他端にクロック信号 $\phi 2$ が印加されたコンデンサ C23を備えている。上記トランジスタ 42 の一端とトランジスタ 44 の他端を接続している。また、上記トランジスタ 43 の一端とトランジスタ 45 の他端を接続し、トランジスタ 43 のゲートをトランジスタ 46 の他端に接続している。上記トランジスタ 47 の他端から出力電圧 V_{out} を出力する。

【0064】

上記構成のチャージポンプは、位相の異なる 2 相のクロック信号 $\phi 1$, $\phi 2$ によって、トランジスタ 41 ~ 46 を動作させて、コンデンサ C21, C22, C23 に順次大きな電荷を蓄積させることにより、トランジスタ 47 の他端から昇圧された出力電圧 V_{out} を出力する。

【0065】

なお、この第 1 実施形態では、必ずしも図 5 に示すチャージポンプの回路を使用することに限るものではなく、他の回路構成のチャージポンプを用いてもよい。

【0066】

また、図 6 は図 3 に示す電圧極性反転回路 26 の一例を示している。この電圧極性反転回路は、図 6 に示すように、入力電圧 V_{in} が一端に印加されたスイッチ 51 と、上記スイッチ 51 の他端に一端が接続され、他端がグランドに接続されたスイッチ 52 と、グランドが一端に接続されたスイッチ 53 と、上記スイッチ 53 の他端に一端が接続されたスイッチ 54 と、上記スイッチ 51, 52 の接続点とスイッチ 53, 54 の接続点とを接続するコンデンサ C31 と、上記スイッチ 54 の他端とグランドとの間に接続されたコンデンサ C32 とを備えている。上記

スイッチ 54 の他端から出力電圧 V_{out} が出力される。

【0067】

上記スイッチ 51, 53 をクロック信号 ϕA によってオンオフ動作させる一方、スイッチ 52, 54 をクロック信号 ϕB (クロック信号 ϕA に対して逆相) によってオンオフ動作させる。そうすることによって、クロック信号 ϕA がハイレベルのとき、コンデンサ C31 に電荷が蓄積され、クロック信号 ϕA がローレベルのときにクロック信号 ϕB がハイレベルとなると、電荷再配分の法則により、コンデンサ C31 に蓄積されていた電荷の一部がコンデンサ C32 に移動する。そして、クロック信号 ϕA , ϕB により電荷再配分が繰り返されることによって、コンデンサ C32 の両端に入力電圧 V_{in} と絶対値が等しく極性が反対の出力電圧 V_{out} が得られる。

【0068】

なお、この第 1 実施形態では、必ずしも図 5 に示す電圧極性反転回路を使用することに限るものではなく、他の構成のスイッチ回路を用いてもよい。

【0069】

図 7 は上記第 1 実施形態の半導体記憶装置の動作を説明するフローチャートであり、図 3 に示す制御回路 25 を動作させる手順を示している。

【0070】

まず、ステップ S1 で入力電圧判定回路 24 により入力電圧の電圧レベルを検出して、ステップ S2 で検出された入力電圧が所定電圧以下か否かを判定する。そして、ステップ S2 で入力電圧が所定電圧以下であると判定すると、ステップ S3 に進み、スイッチ SW1 をオフにし、スイッチ SW2, SW3 をオンにしてこの処理を終了する。

【0071】

一方、ステップ S2 で入力電圧が所定電圧を越えると判定すると、ステップ S4 に進み、スイッチ SW1 をオンにし、スイッチ SW2, SW3 をオフにしてこの処理を終了する。

【0072】

このように、上記半導体記憶装置によれば、図 1 に示すメモリ素子をメモリセ

ルとしてメモリセルに用いることにより、微細化しても2ビットの記憶保持可能であり、かつ、図3に示す正極性電源選択回路22によりメモリセルアレイに供給する電流が小さいことに起因する回路誤動作を防止することができる。

【0073】

また、上記第1,第2および第3のスイッチSW1, SW2, SW3に図4に示す構成のスイッチ回路を用いることによって、小さい回路面積で実現可能であり、かつ、正極性電源選択回路22を正確に動作させる。

【0074】

また、上記所定電圧を+3V~+12Vの範囲内の電圧とすることによって、メモリセルアレイ21を構成するメモリセルとしてのメモリ素子に適切な電圧でかつ十分な電流を供給することが可能となる。

【0075】

さらに、メモリセルとしてのメモリ素子の消去動作時にゲート電極に負電圧を供給するとき、電圧極性反転回路26によって正電圧を負電圧に変換し、ドレイン電極に正電圧、ゲート電極に負電極を印加することによって、小さい回路面積で効率的かつ確実な消去動作が可能となる。

【0076】

なお、上記第1実施形態では、シリコン窒化膜によるメモリ機能膜4を用いたが、メモリ機能膜はこれに限らない。

【0077】

例えば、メモリ機能膜は、膜厚1~20nm程度のシリコン酸化膜、膜厚2~100nm程度のシリコン窒化膜、膜厚5~100nm程度のシリコン酸化膜からなるONO膜や、膜厚1~20nm程度のシリコン酸化膜、膜厚2~100nm程度のシリコン窒化膜からなるON膜でもよい。

【0078】

さらに、メモリ機能膜は、膜厚1~20nm程度のシリコン酸化膜、膜厚5~100nm程度のシリコン窒化膜からなるON膜により形成され、そのON膜のシリコン窒化膜が半導体基板と接触したものでよい。なお、この場合、シリコン酸化膜とシリコン窒化膜を入れ替えてもよい。

【0079】

また、メモリ機能膜は、膜厚1～20nm程度のシリコン酸化膜からなる絶縁膜を介して膜厚10～100nm程度のポリシリコンからなるフローティングゲート導電膜によって形成されたものでもよい。なお、導電膜を用いる場合は、メモリ機能膜の表面は絶縁膜で覆われることが好ましい。

【0080】

さらに、メモリ機能膜は、膜厚5～100nm程度のシリコン酸化膜、シリコン窒化膜、高誘電体膜等の絶縁体材料からなる絶縁膜によって形成され、その絶縁膜中に、シリコン等の導電体からなるドット状(直径1～8nm程度)のフローティングゲート導電膜が1以上分散されたものでもよい。

【0081】

このように、上記メモリ機能膜(特にシリコン窒化膜系)を使用すれば、量産工場に導入しやすく非常に好ましいが、上述する膜構成および材料に限定されるものではなく、メモリ機能膜を有する膜またはメモリ機能膜を有する膜と絶縁膜の積層構造膜であれば、この発明の半導体記憶装置を実施することができる。

【0082】

[第2実施形態]

図8はこの発明の第2実施形態の半導体記憶装置のブロック図を示している。上記第1実施形態では、消去時にメモリセルを構成するメモリ素子のゲート電極に負電圧を印加するとき、外部から電圧を供給しなくとも消去に十分な電流が供給される場合を想定しているが、この第2実施形態では、図3に示す電圧極性反転回路26からは、十分な電流が得られない場合を想定している。

【0083】

この第2実施形態では、図3に示す第1実施形態の半導体記憶装置と同一の構成のメモリセルアレイ21と正極性電源選択回路22とを備え、電圧極性反転回路26の代わりに負電圧用の負極性電源選択回路70を備えている。

【0084】

上記負極性電源選択回路70は、正極性電源選択回路22と同様の構成をしており、図4に示すPチャネル電界効果トランジスタを用いた第1～第3のスイッ

チ SW1～SW3 の代わりに N チャンネル電界効果トランジスタを用いた第 4～第 6 のスイッチで構成される。すなわち、上記負極性電源選択回路 70 は、外部から供給される入力電圧(負電圧)が入力端子に印加され、出力端子がメモリセルアレイの入力端子に接続された第 4 のスイッチと、上記入力電圧(負電圧)が入力端子に印加された第 5 のスイッチと、上記第 5 のスイッチの出力端子にポンプ入力端子が接続された第 2 のチャージポンプと、上記第 2 のチャージポンプのポンプ出力端子に入力端子が接続され、出力端子が上記メモリセルアレイの入力端子に接続された第 6 のスイッチと、上記入力電圧(負電圧)が第 2 の所定電圧以上か否かを判定する第 2 の入力電圧判定回路と、上記第 4, 第 5 および第 6 のスイッチをオンオフ制御する第 2 の制御回路とを備えている。

【0085】

上記負極性電源選択回路 70 において、第 2 の入力電圧判定回路が入力電圧(負電圧)が第 2 の所定電圧以下(電圧の絶対値大)であると判定すると、第 4 のスイッチをオンし、第 5, 第 6 のスイッチをオフして、メモリセルアレイ 21 に外部電圧を供給する。一方、上記第 2 の入力電圧判定回路が上記入力電圧(負電圧)が第 2 の所定電圧より上(電圧の絶対値小)である場合、第 4 のスイッチをオフし、第 5, 第 6 のスイッチをオンして、第 2 のチャージポンプから正確な負電圧がメモリセルアレイ 21 に供給される。

【0086】

なお、この第 2 実施形態の半導体記憶装置では、正極性電源選択回路 22 において、チャージポンプ 23 は第 1 のチャージポンプ、入力電圧判定回路 24 は第 1 の入力電圧判定回路、制御回路 25 は第 1 の制御回路であり、入力電圧判定回路 24 が入力電圧(正電圧)を判定するときの所定電圧は第 1 の所定電圧である。

【0087】

したがって、上記第 1 実施形態の半導体記憶装置と同様の効果を有すると共に、メモリセルアレイ 21 に正電圧および負電圧を供給する場合、十分な電流供給が可能となる。

【0088】

また、上記第 1～第 6 のスイッチに図 4 に示す構成のスイッチ回路を用いるこ

とによって、小さい回路面積で実現可能であり、かつ、正極性電源選択回路 22 および負極性電源選択回路 70 を正確に動作させる。

【0089】

また、上記正極性電源選択回路 22 の第 1 の所定電圧を +3V ~ +12V の範囲内の電圧とし、負極性電源選択回路 70 の第 2 の所定電圧を -3V ~ -12V の範囲内の電圧とすることによって、メモリセルアレイ 21 を構成するメモリセルとしてのメモリ素子に適切な電圧でかつ十分な電流を供給することが可能となる。

【0090】

[第 3 実施形態]

図 9 はこの発明の第 3 の実施形態の携帯電子機器の一例としての携帯電話の概略ブロック図を示している。

【0091】

この携帯電話は、図 9 に示すように、制御回路 74 と、電池 77 と、RF (無線周波数) 回路 75 と、表示部 72 と、アンテナ 71 と、信号線 73 と、電力線 76 とを備えている。上記制御回路 74 は、上記第 1, 第 2 実施形態の半導体記憶装置 74a が組み込まれている。なお、制御回路 74 は、同一構造の素子をメモリ素子および論理回路素子として兼用した集積回路であることが望ましい。これにより、集積回路の製造が容易になり、携帯電子機器の製造コストを特に低減することができる。

【0092】

このように、1 トランジスタ当り 2 ビットの記憶が可能であり、かつ微細化が容易でかつ回路誤動作を防止できる半導体記憶装置を携帯電子機器に用いることにより、携帯電子機器の小型化ができると共に、信頼性を向上できる。また、小型化により製造コストを削減することができる。

【0093】

上記第 3 実施形態では、携帯電子機器としての携帯電話について説明したが、携帯電子機器は携帯電話に限らず、携帯情報端末、ゲーム機器などにこの発明を適用してもよい。

【0094】

また、上記第1～第3実施形態では、ゲート電極と、上記ゲート電極下のゲート絶縁膜と、上記ゲート絶縁膜下のチャネル領域と、上記ゲート電極の両側に形成されたメモリ機能膜と、上記メモリ機能膜のゲート電極と反対側のそれぞれに配置されたソース/ドレイン領域とを有するメモリ素子をメモリセルとして用いたが、メモリセルとして用いるメモリ素子はこれに限らない。

【0095】

【発明の効果】

以上より明らかなように、第1～第3の発明の半導体記憶装置によれば、微細化しても2ビットの記憶保持可能であり、かつ、メモリセルアレイに供給する電流が小さいことに起因する回路誤動作を防止することが可能な半導体記憶装置を提供することができる。

【0096】

また、第4,第5の発明の半導体記憶装置によれば、メモリセルアレイに供給する電流が小さいことに起因する回路誤動作を防止することが可能な半導体記憶装置を提供することができる。

【0097】

また、第6の発明の携帯電子機器によれば、上記半導体記憶装置を用いることによって、小型化と信頼性の向上および製造コストの削減ができる。

【図面の簡単な説明】

【図1】 図1はこの発明の第1実施形態の半導体記憶装置に用いられるメモリ素子の製造方法を説明するための要部の概略断面工程図である。

【図2】 図2(a)は上記メモリ素子の書き込み時の条件を示す図であり、図2(b)は上記メモリ素子の消去時の条件を示す図であり、図2(c)は上記メモリ素子の読み出し時の条件を示す図である。

【図3】 図3は上記半導体記憶装置のブロック図である。

【図4】 図4は上記半導体記憶装置に用いられる第1,第2および第3のスイッチの回路図である。

【図5】 図5は上記半導体記憶装置に用いられるチャージポンプの回路図

である。

【図 6】 図 6 は上記半導体記憶装置に用いられる電圧極性反転回路の回路図である。

【図 7】 図 7 は上記半導体記憶装置の制御回路の動作を説明するためのフローチャートである。

【図 8】 図 8 はこの発明の第 2 実施形態の半導体記憶装置のブロック図である。

【図 9】 図 9 はこの発明の第 3 実施形態の携帯電子機器の一例としての携帯電話のブロック図である。

【図 10】 図 10 は従来の半導体記憶装置の断面図である。

【図 11】 図 11 (a) は従来のフローティングゲートを用いたメモリ素子の書き込み時の条件を示す図であり、図 11 (b) は上記メモリ素子の消去時の条件を示す図であり、図 11 (c) は上記メモリ素子の読み出し時の条件を示す図である。

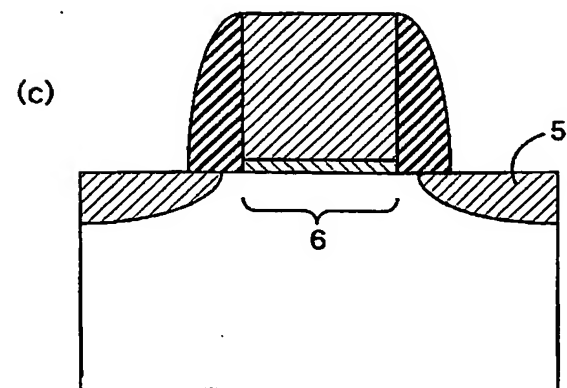
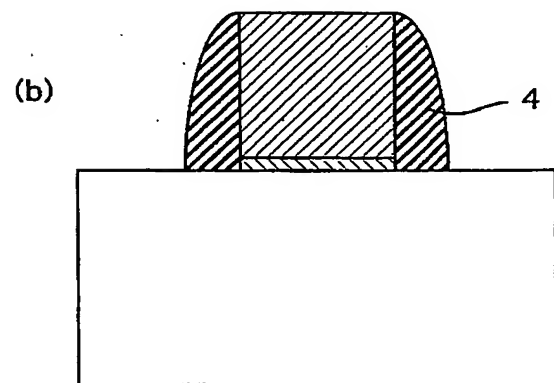
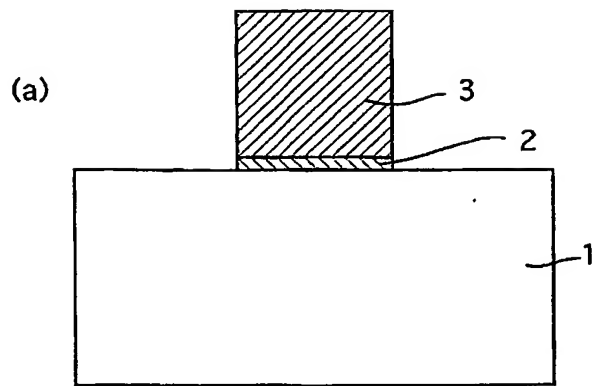
【符号の説明】

- 1…半導体基板、
- 2…ゲート絶縁膜、
- 3…ゲート電極、
- 4…メモリ機能膜、
- 5…ソース／ドレイン領域、
- 6…チャネル領域、
- 21…メモリセルアレイ、
- 22…正極性電源選択回路、
- 23…チャージポンプ、
- 24…入力電圧判定回路、
- 25…制御回路、
- 26…電圧極性反転回路、
- SW1…第 1 のスイッチ、
- SW2…第 2 のスイッチ、

SW3…第3のスイッチ、
31, 32…Pチャネル電界効果トランジスタ、
33, 34…レベルシフト、
41～47…トランジスタ、
C11～C13, C21～C23…容量、
51～54…スイッチ、
C31, C32…コンデンサ、
70…負極性電源選択回路、
71…アンテナ、
72…表示部、
73…信号線、
74…制御回路、
75…RF回路部、
76…電源線、
77…電池。

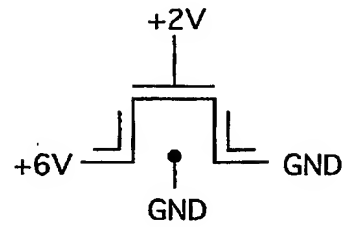
【書類名】 図面

【図 1】

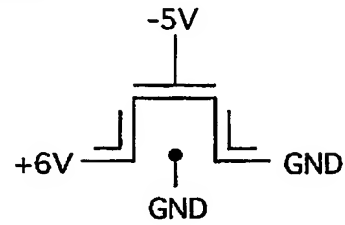


【図 2】

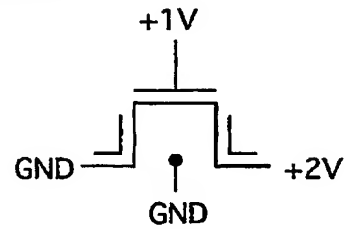
(a)書き込み



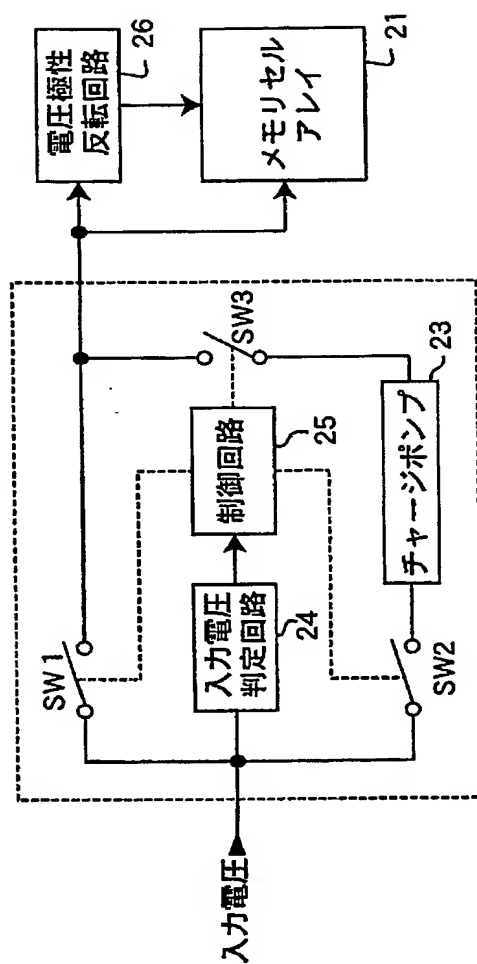
(b)消去



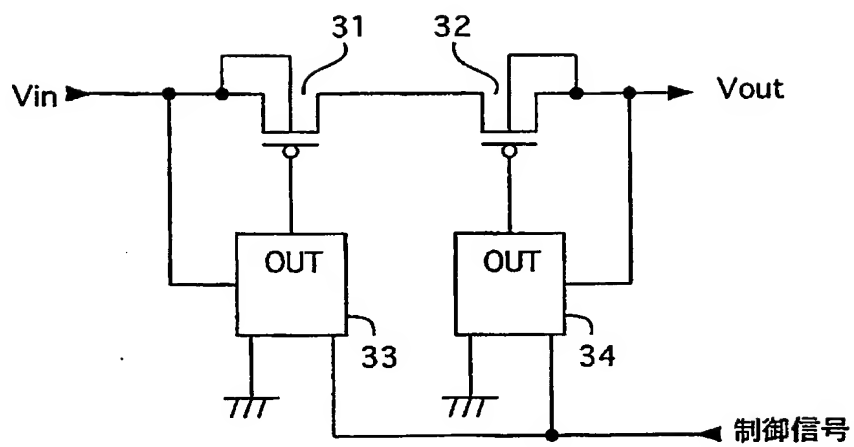
(c)読み出し



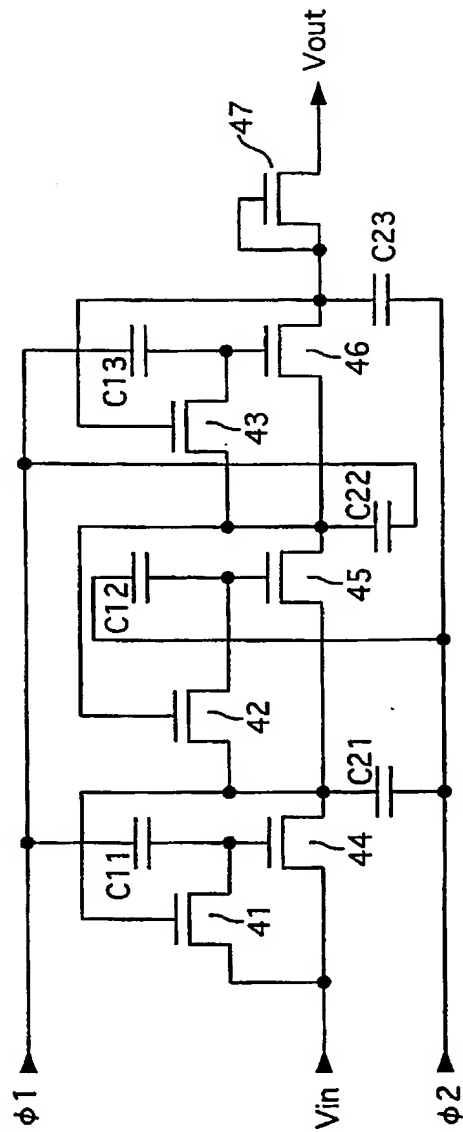
【図 3】



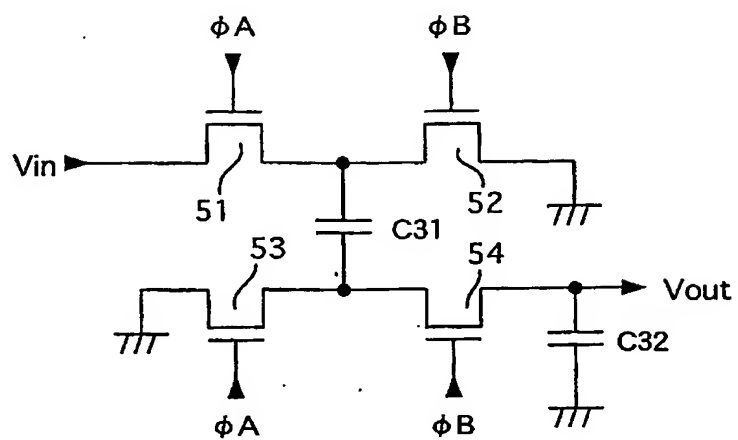
【図 4】



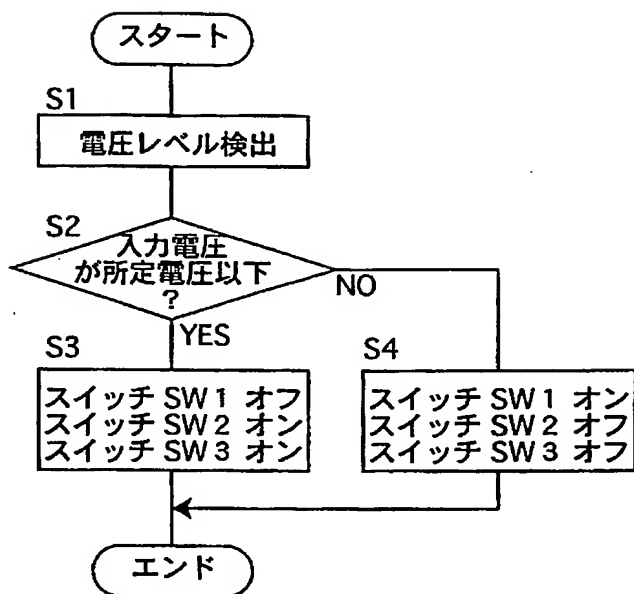
【図 5】



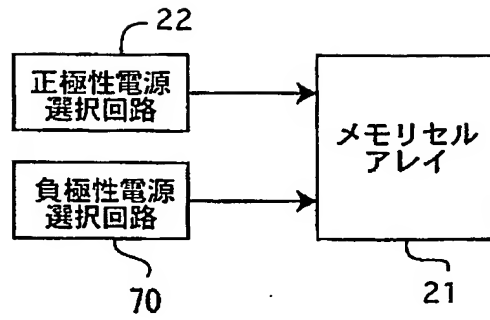
【図 6】



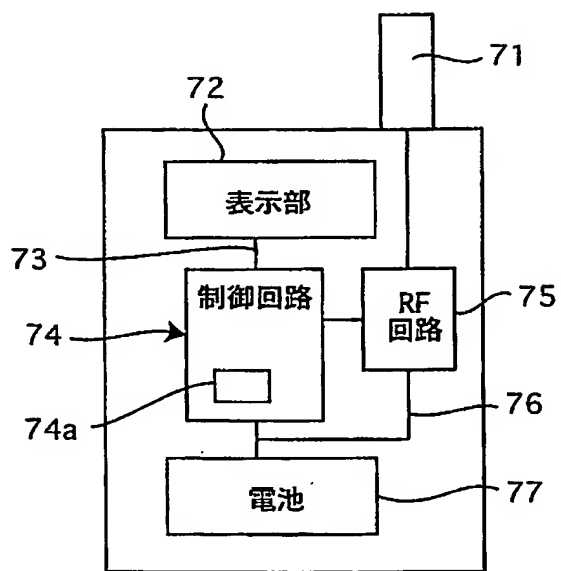
【図 7】



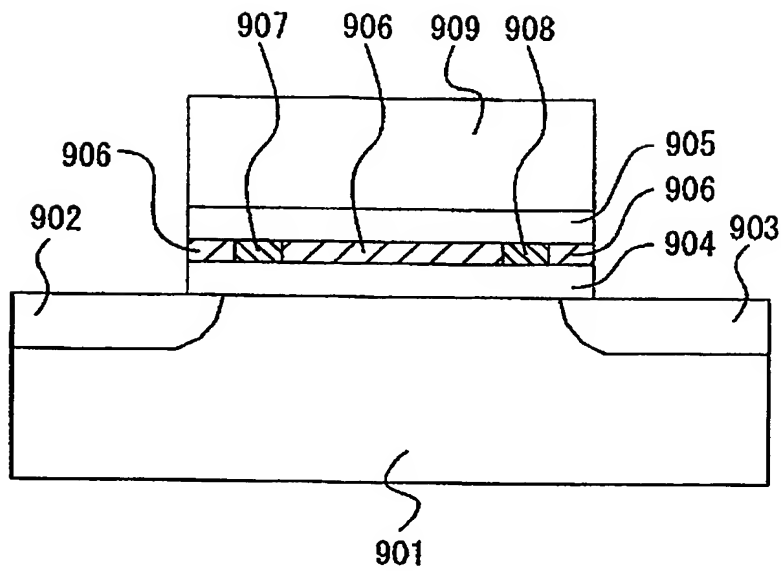
【図 8】



【図 9】

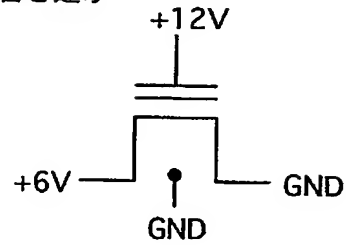


【図10】

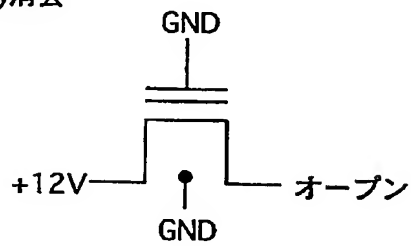


【図 11】

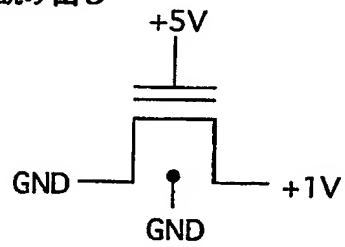
(a)書き込み



(b)消去



(c)読み出し



【書類名】 要約書

【要約】

【課題】 微細化しても2ビット以上の記憶保持ができ、かつ、小さい回路面積で安定した動作ができ、メモリセルアレイに供給する電流が小さいことに起因する回路誤動作を防止できる半導体記憶装置およびそれを用いた携帯電子機器を提供する。

【解決手段】 正極性電源選択回路22の制御回路25は、入力電圧判定回路24が入力電圧が所定電圧を越えたと判定すると、第1のスイッチSW1をオンして第2,第3のスイッチSW2,SW3をオフすることにより、上記入力電圧を第1のスイッチSW1を介してメモリセルアレイ21に供給する。一方、制御回路25は、入力電圧判定回路24が入力電圧が所定電圧以下であると判定すると、第1のスイッチSW1をオフして第2,第3のスイッチSW2,SW3をオンすることにより、チャージポンプ23からの電圧を第3のスイッチSW2,SW3を介して供給する。

【選択図】 図3

特願 2002-280806

出 願 人 履 歴 情 報

識別番号

[000005049]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町22番22号

氏 名

シャープ株式会社